

Rec'd PCT/PTO 24 MAR 2005

VERTRAG ÜBER DIE INTERNATIONALE ZUSAMMENARBEIT AUF DEM GEBIET DES PATENTWESENS

PCT

INTERNATIONALER VORLÄUFIGER PRÜFUNGSBERICHT

(Artikel 36 und Regel 70 PCT)



Aktenzeichen des Anmelders oder Anwalts In1260WO	WEITERES VORGEHEN siehe Mitteilung über die Übersendung des internationalen vorläufigen Prüfungsberichts (Formblatt PCT/PEA/416)	
Internationales Aktenzeichen PCT/DE 03/03131	Internationales Anmeldedatum (Tag/Monat/Jahr) 19.09.2003	Prioritätsdatum (Tag/Monat/Jahr) 27.09.2002
Internationale Patentklassifikation (IPK) oder nationale Klassifikation und IPK H01L29/786		
Anmelder INFINEON TECHNOLOGIES AG et al.		

1. Dieser internationale vorläufige Prüfungsbericht wurde von der mit der internationalen vorläufigen Prüfung beauftragten Behörde erstellt und wird dem Anmelder gemäß Artikel 36 übermittelt.
2. Dieser BERICHT umfaßt insgesamt **6** Blätter einschließlich dieses Deckblatts.
 - ☒ Außerdem liegen dem Bericht ANLAGEN bei; dabei handelt es sich um Blätter mit Beschreibungen, Ansprüchen und/oder Zeichnungen, die geändert wurden und diesem Bericht zugrunde liegen, und/oder Blätter mit vor dieser Behörde vorgenommenen Berichtigungen (siehe Regel 70.16 und Abschnitt 607 der Verwaltungsrichtlinien zum PCT).

Diese Anlagen umfassen insgesamt 4 Blätter.

3. Dieser Bericht enthält Angaben zu folgenden Punkten:

- I ☒ Grundlage des Bescheids
- II ☐ Priorität
- III ☐ Keine Erstellung eines Gutachtens über Neuheit, erfinderische Tätigkeit und gewerbliche Anwendbarkeit
- IV ☐ Mangelnde Einheitlichkeit der Erfindung
- V ☒ Begründete Feststellung nach Regel 66.2 a)ii) hinsichtlich der Neuheit, der erfinderischen Tätigkeit und der gewerblichen Anwendbarkeit; Unterlagen und Erklärungen zur Stützung dieser Feststellung
- VI ☐ Bestimmte angeführte Unterlagen
- VII ☐ Bestimmte Mängel der internationalen Anmeldung
- VIII ☐ Bestimmte Bemerkungen zur internationalen Anmeldung

Datum der Einreichung des Antrags 02.04.2004	Datum der Fertigstellung dieses Berichts 27.01.2005
Name und Postanschrift der mit der internationalen Prüfung beauftragten Behörde  Europäisches Patentamt D-80298 München Tel. +49 89 2399 - 0 Tx: 523656 epmu d Fax: +49 89 2399 - 4465	Bevollmächtigter Bediensteter Berthold, K Tel. +49 89 2399-2632 

I. Grundlage des Berichts

1. Hinsichtlich der **Bestandteile** der internationalen Anmeldung (*Ersatzblätter, die dem Anmeldeamt auf eine Aufforderung nach Artikel 14 hin vorgelegt wurden, gelten im Rahmen dieses Berichts als "ursprünglich eingereicht" und sind ihm nicht beigelegt, weil sie keine Änderungen enthalten (Regeln 70.16 und 70.17)*):

Beschreibung, Seiten

1-21 in der ursprünglich eingereichten Fassung

Ansprüche, Nr.

1-14 eingegangen am 13.01.2005 mit Schreiben vom 12.01.2005

Zeichnungen, Blätter

1, 2, 4-10 in der ursprünglich eingereichten Fassung

3 eingegangen am 04.12.2003 mit Schreiben vom 04.12.2003

2. Hinsichtlich der **Sprache**: Alle vorstehend genannten Bestandteile standen der Behörde in der Sprache, in der die internationale Anmeldung eingereicht worden ist, zur Verfügung oder wurden in dieser eingereicht, sofern unter diesem Punkt nichts anderes angegeben ist.

Die Bestandteile standen der Behörde in der Sprache: zur Verfügung bzw. wurden in dieser Sprache eingereicht; dabei handelt es sich um:

- ☐ die Sprache der Übersetzung, die für die Zwecke der internationalen Recherche eingereicht worden ist (nach Regel 23.1(b)).
- ☐ die Veröffentlichungssprache der internationalen Anmeldung (nach Regel 48.3(b)).
- ☐ die Sprache der Übersetzung, die für die Zwecke der internationalen vorläufigen Prüfung eingereicht worden ist (nach Regel 55.2 und/oder 55.3).

3. Hinsichtlich der in der internationalen Anmeldung offenbarten **Nucleotid- und/oder Aminosäuresequenz** ist die internationale vorläufige Prüfung auf der Grundlage des Sequenzprotokolls durchgeführt worden, das:

- ☐ in der internationalen Anmeldung in schriftlicher Form enthalten ist.
- ☐ zusammen mit der internationalen Anmeldung in computerlesbarer Form eingereicht worden ist.
- ☐ bei der Behörde nachträglich in schriftlicher Form eingereicht worden ist.
- ☐ bei der Behörde nachträglich in computerlesbarer Form eingereicht worden ist.
- ☐ Die Erklärung, daß das nachträglich eingereichte schriftliche Sequenzprotokoll nicht über den Offenbarungsgehalt der internationalen Anmeldung im Anmeldezeitpunkt hinausgeht, wurde vorgelegt.
- ☐ Die Erklärung, daß die in computerlesbarer Form erfassten Informationen dem schriftlichen Sequenzprotokoll entsprechen, wurde vorgelegt.

4. Aufgrund der Änderungen sind folgende Unterlagen fortgefallen:

- ☐ Beschreibung, Seiten:
- ☐ Ansprüche, Nr.:
- ☐ Zeichnungen, Blatt:

INTERNATIONALER VORLÄUFIGER PRÜFUNGSBERICHT

Internationales Aktenzeichen PCT/DE 03/03131

5. ☐ Dieser Bericht ist ohne Berücksichtigung (von einigen) der Änderungen erstellt worden, da diese aus den angegebenen Gründen nach Auffassung der Behörde über den Offenbarungsgehalt in der ursprünglich eingereichten Fassung hinausgehen (Regel 70.2(c)).

(Auf Ersatzblätter, die solche Änderungen enthalten, ist unter Punkt 1 hinzuweisen; sie sind diesem Bericht beizufügen.)

6. Etwaige zusätzliche Bemerkungen:

V. Begründete Feststellung nach Artikel 35(2) hinsichtlich der Neuheit, der erfinderischen Tätigkeit und der gewerblichen Anwendbarkeit; Unterlagen und Erklärungen zur Stützung dieser Feststellung

1. Feststellung
- | | |
|--------------------------------|---------------------|
| Neuheit (N) | Ja: Ansprüche 1-14 |
| | Nein: Ansprüche |
| Erfinderische Tätigkeit (IS) | Ja: Ansprüche 1-14 |
| | Nein: Ansprüche |
| Gewerbliche Anwendbarkeit (IA) | Ja: Ansprüche: 1-14 |
| | Nein: Ansprüche: |

2. Unterlagen und Erklärungen:

siehe Beiblatt

1. Es wird auf die folgenden Dokumente verwiesen:

- D1: US 2002/130354 A1
D2: US-A-4 996 574
D5: SLEIGHT J W ET AL: 'DC AND TRANSIENT CHARACTERIZATION OF A COMPACT SCHOTTKY BODY CONTACT TECHNOLOGY FOR SOI TRANSISTORS' IEEE TRANSACTIONS ON ELECTRON DEVICES, IEEE INC. NEW YORK, US, Bd. 46, Nr. 7, Juli 1999 (1999-07), Seiten 1451-1456, XP000928441 ISSN: 0018-9383
D6: HWANG J M ET AL: 'Premature breakdown in non-fully depleted SOI/MOSFETs with body-tied-to-source structure' SOI CONFERENCE, 1991. PROCEEDINGS, 1991., IEEE INTERNATIONAL VAIL VALLEY, CO, USA 1-3 OCT. 1991, NEW YORK, NY, USA, IEEE, US, 1. Oktober 1991 (1991-10-01), Seiten 34-35, XP010052868 ISBN: 0-7803-0184-6

2. Ansprüche 1 und 10 definieren die Anordnung des Substratbereiches bezüglich der Bereiche und Schichten nicht klar (Art. 6 PCT und Art. 34(2)PCT). Die Deckfläche und die relative Anordnung des Verbindungsbereiches und der Isolierschichten wurde nur im Zusammenhang mit einem quaderförmigen Substratbereich in der ursprünglichen Anmeldung offenbart (siehe Seite 9, Zeilen 13-22 und Figuren). Diese Anordnung ist nur klar wenn in Anspruch 1 und 10 ein quaderförmiger Substratbereich mit Deckfläche und Seitenflächen definiert wird. Im Folgenden (Punkt 3 und 4) wird deshalb ein quaderförmiger Substratbereich mit sechs Seitenflächen und einer Deckfläche wie in den Anordnungen der Figuren gezeigt, angenommen. Zudem ist in Anspruch 1 nicht klar auf was sich "der" in Zeile 24 bezieht (es wird angenommen, daß sich "der" auf den Verbindungsbereich bezieht und nicht auf "den Teil" in Zeile 23).
- 3 Der Gegenstand der Ansprüche 1 und 10 unterscheidet sich von der Anordnung in D1 dadurch, daß der leitfähige Verbindungsbereich (28) der eine Metallverbindung enthält oder aus einer Metallverbindung besteht, einen Teil der Deckfläche des quaderförmigen Substratbereiches bedeckt, wobei der Teil der Deckfläche des quaderförmigen Substratbereiches den Substratbereich zwischen den zwei Isolierschichten und zwischen den beiden Steuerbereichen bedeckt.

Substratverbindungen zu Silizid-Source-Regionen mittels p+ Regionen sind zwar bekannt (siehe z.B D5 oder D6), jedoch stellen diese p+ Regionen nicht einen zwischen den Isolierschichten erstreckenden Verbindungsbereich dar, der ein Metall oder eine Metallverbindung enthält, wie in Anspruch 1 definiert.

D2 (siehe Fig. 4 und dazugehörige Beschreibung) offenbart einen MOSFET mit einer Gate-Elektrode, welche sich über die Deckfläche erstreckt.

Ansprüche 2-14 beziehen sich auf Anspruch 1.

Der Gegenstand der Ansprüche 1-14 ist deshalb neu und erfinderisch (Art. 33(2) PCT, Art.33(3) PCT).

- 4 Der Gegenstand der Ansprüche 1-14 ist offensichtlich gewerblich anwendbar.

Patentansprüche

1. Integrierter Feldeffekttransistor (10),

mit einem Substratbereich (14), der umgeben ist:

5 von zwei Anschlussbereichen (16, 18), wobei der eine Anschlussbereich (16, 18) ein Sourcebereich (16) und der andere Anschlussbereich (16, 18) ein Drainbereich (18) ist,

~~von zwei an einander gegenüberliegenden Seiten des Substrat-~~
bereiches (14) angeordneten elektrisch isolierenden Isolier-
10 schichten (100, 102), an denen Steuerbereiche (20, 22) an-
grenzen,

von zwei elektrisch isolierenden Bereichen (12, 110),
wobei die Isolierbereiche (12, 110) an einander gegenüberlie-
genden Seiten des Substratbereiches (14) angeordnet sind,

15 und von einem elektrisch leitfähigen Verbindungsbereich (28)
oder einem Teil (230) eines elektrisch leitfähigen Verbindungs-
bereiches, der eine elektrisch leitfähige Verbindung
zwischen dem einem Anschlussbereich (16) und dem Substratbe-
reich (14) herstellt,

20 wobei der leitfähige Verbindungsbereich (28) eine Metall-
Halbleiter-Verbindung enthält oder aus einer Metall-
Halbleiter-Verbindung besteht,

wobei ein Teil einer Deckfläche des Substratbereiches (14)
von dem Verbindungsbereich (28) bedeckt wird, der sich weiter
25 über eine Deckfläche des Sourcebereiches (16) erstreckt,
und wobei der Teil der Deckfläche des Substratbereiches (14)
den Substratbereich (14) zwischen den zwei Isolierschichten
(100, 102) und zwischen den beiden Steuerbereichen (20, 22)
bedeckt.

30

2. Feldeffekttransistor (10) nach Anspruch 1, d a d u r c h
g e k e n n z e i c h n e t , dass der leitfähige Verbindungsbe-
reich (28) aus einem Silizid eines Metalls mit einer Schmelz-
temperatur größer als 1400 Grad Celsius und/oder einem

35 Refraktärmetallsilizid oder einem Seltenerdmetallsilizid be-
steht.

3. Feldeffekttransistor (10) nach Anspruch 1 oder 2, dadurch gekennzeichnet, dass die Isolierschichten (100, 102) zum Isolieren der Steuerbereiche (20, 22) vom Substratbereich (14) eine Isolierstärke von mindestens fünfzehn

5 Nanometern oder mindestens zwanzig Nanometern haben, und/oder dass der Abstand zwischen den Anschlussbereichen (16, 18) mindestens 0,3 Mikrometer oder mindestens 0,4 Mikrometer beträgt,

10 und/oder dass ein Anschlussbereich (16) oder beide Anschlussbereiche (16, 18) einen flachen Dotierprofilgradienten haben, welcher eine Schaltspannung mit einem Betrag größer als fünf Volt oder größer als neun Volt oder größer als fünfzehn Volt, jedoch vorzugsweise kleiner als dreißig Volt oder kleiner als zwanzig Volt zulässt.

15

4. Feldeffekttransistor (10) nach einem der vorhergehenden Ansprüche, dadurch gekennzeichnet, dass ein Isolierbereich (12) Bestandteil einer Isolierschicht ist, die eine Vielzahl von Feldeffekttransistoren (10) trägt,

20 und/oder dass die Isolierschicht Siliziumdioxid enthält oder aus Siliziumdioxid besteht,

und/oder dass der andere Isolierbereich (110) Teil einer Isolierschicht (110) ist, die eine Vielzahl von Substratbereichen (14) isoliert, vorzugsweise eine Silikatglasschicht.

25

5. Feldeffekttransistor (10) nach einem der vorhergehenden Ansprüche, dadurch gekennzeichnet, dass der Substratbereich (14) ein vorzugsweise einkristallines Halbleitermaterial enthält und/oder gemäß einem Leitungstyp dotiert ist und dass die Anschlussbereiche (16, 18) gemäß dem anderen Leitungstyp dotiert sind.

30

6. Feldeffekttransistor (10) nach einem der vorhergehenden Ansprüche, dadurch gekennzeichnet, dass die Steuerbereiche (20, 22) elektrisch leitfähig miteinander verbunden sind.

35

7. Feldeffekttransistor (10) nach einem der vorhergehenden Ansprüche, d a d u r c h g e k e n n z e i c h n e t , dass der Substratbereich (14) sechs Seitenflächen enthält oder dass der Substratbereich (14) sechs Seitenflächen hat,

5 und/oder dass die Anschlussbereiche (16, 18) an einander gegenüberliegenden Seiten des Substratbereiches (14) angeordnet sind,

und/oder dass die Steuerbereiche (20, 22) an einander gegenüberliegenden Seiten des Substratbereiches (14) angeordnet

10 sind.

8. Verwendung eines Feldeffekttransistors (10) nach einem der vorhergehenden Ansprüche,

15 zum Schalten von Spannungen mit einem Betrag größer als größer als neun Volt oder größer als fünfzehn Volt, vorzugsweise jedoch kleiner als dreißig Volt.

9. Verwendung eines Feldeffekttransistors nach einem der vorhergehenden Ansprüche, als Ansteuertransistor an einer Wort-

20 leitung (372, 388) oder einer Bitleitung (396) eines Speicherzellenfeldes (330), eines Flash-Speichers oder eines EEPROM-Speichers,

wobei der Ansteuertransistor eine Steuerspannung an die Wortleitung (372, 388) oder an die Bitleitung (396) anlegt.

25

10. Verfahren zum Herstellen eines Feldeffekttransistors (10) nach einem der vorhergehenden Ansprüche, mit den ohne Beschränkung durch die angegebene Reihenfolge ausgeführten Verfahrensschritten:

30 Bildung eines Substratbereiches (14),

Bildung zweier Anschlussbereiche (16, 18) am Substratbereich (14), wobei der eine Anschlussbereich (16, 18) ein Sourcebereich (16) und der andere Anschlussbereich (16, 18) ein Drainbereich (18) ist,

35 Bildung zweier an einander gegenüberliegenden Seiten des Substratbereiches (14) angeordneter elektrisch isolierender Iso-

lierschichten (100, 102), an denen Steuerbereiche (20, 22) angrenzen,

Bildung eines elektrisch leitfähigen Verbindungsbereiches (28; 28a, 230), der den einen Anschlussbereich (16) und den

- 5 Substratbereich (14) elektrisch leitfähig verbindet, wobei der leitfähige Verbindungsbereich (28) eine Metall-Halbleiter-Verbindung enthält oder aus einer Metall-Halbleiter-Verbindung besteht,

- 10 Einebnen der Oberfläche durch chemisch-mechanisches Polieren nach der Bildung der Steuerbereiche (20, 22), und Rückätzen der Steuerbereiche (20, 22) nach dem Polieren. und Ausführen eines selbstjustierenden Verfahrens zur Bildung der Metall-Halbleiter-Verbindung, wobei in den rückgeätzten Bereichen und auf dem Substratbereich (14) und auf einem An-
15 schlussbereich (16) eine Metall-Halbleiter-Verbindung erzeugt wird.

11. Verfahren nach Anspruch 10, d a d u r c h g e k e n n z e i c h n e t , dass die Anschlussbereiche (16, 18) und/oder
20 der Substratbereich (14) auf Siliziumbasis aufgebaut ist, und/oder dass der Verbindungsbereich (28) ein Silizid enthält oder aus Silizid besteht, und/oder dass der Verbindungsbereich mit einem selbstjustierenden Verfahren erzeugt wird, bei dem ein Metall, insbesondere ein Metall mit einer Schmelztemperatur größer 1400 Grad
25 Celsius und/oder ein Refraktärmetall, abgeschieden wird, das an Halbleiterbereichen eine Metall-Halbleiter-Verbindung bildet, insbesondere an siliziumbasierten Bereichen ein Silizid, und/oder bei dem das Metall in Bereichen entfernt wird, in
30 denen Metall-Halbleiter-Verbindung gebildet worden ist, insbesondere kein Silizid.

12. Verfahren nach Anspruch 10 oder 11, g e k e n n z e i c h n e t d u r c h die Schritte:

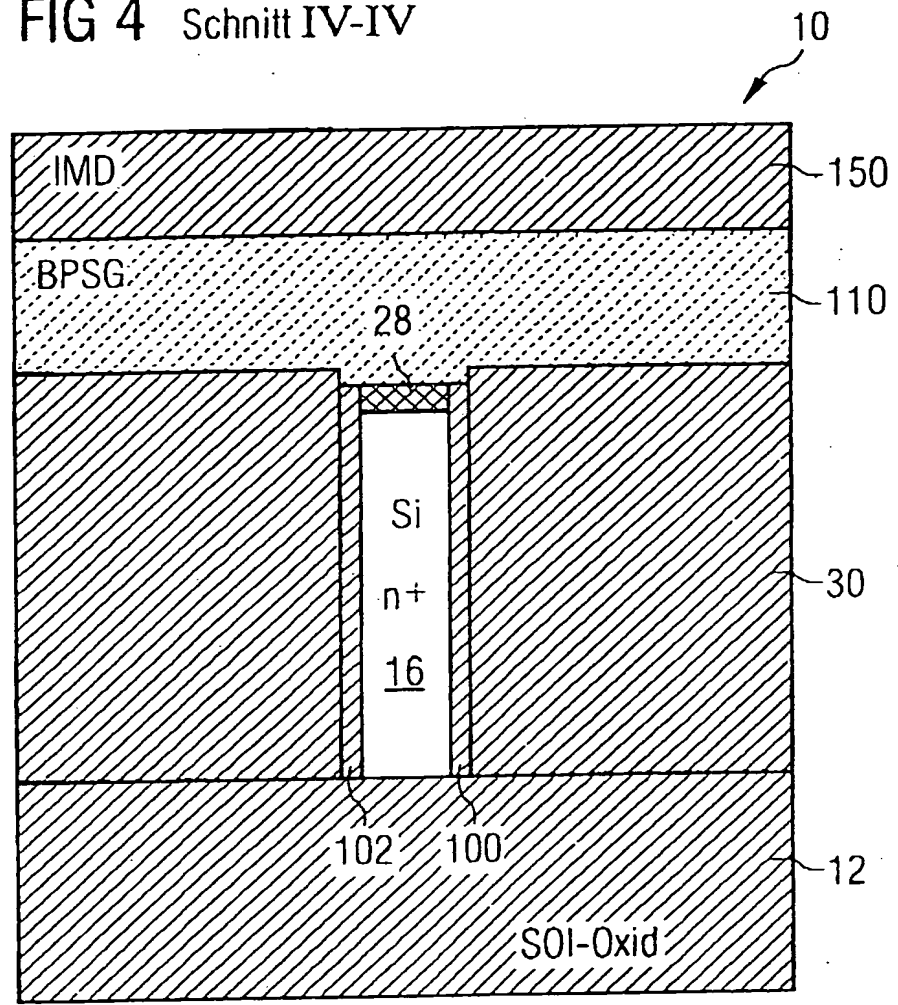
- 35 Bereitstellen eines SOI-Substrats (12),

Strukturieren des Siliziums des SOI-Substrats, wobei Bereiche stehen bleiben, in denen der Substratbereich (14) und die Anschlussbereiche (16, 18) angeordnet werden sollen, Bildung der Steuerbereiche (20, 22) nach dem Strukturieren, und/oder Auffüllen von freien Bereichen zwischen den stehen gebliebenen Bereichen mit einem elektrisch isolierenden Material (30).

10 13. Verfahren nach Anspruch 12, gekennzeichnet durch den Schritt:
Einebnen der Oberfläche nach dem Auffüllen.

15 14. Verfahren nach Anspruch 13, gekennzeichnet durch die Schritte:
Ausführen eines selbstjustierenden Salicid-Verfahrens zur Bildung der Metall-Halbleiter-Verbindung.

FIG 4 Schnitt IV-IV



**This Page is Inserted by IFW Indexing and Scanning
Operations and is not part of the Official Record**

BEST AVAILABLE IMAGES

Defective images within this document are accurate representations of the original documents submitted by the applicant.

Defects in the images include but are not limited to the items checked:

- ☐ **BLACK BORDERS**
- ☐ **IMAGE CUT OFF AT TOP, BOTTOM OR SIDES**
- ☐ **FADED TEXT OR DRAWING**
- ☐ **BLURRED OR ILLEGIBLE TEXT OR DRAWING**
- ☐ **SKEWED/SLANTED IMAGES**
- ☐ **COLOR OR BLACK AND WHITE PHOTOGRAPHS**
- ☐ **GRAY SCALE DOCUMENTS**
- ☒ **LINES OR MARKS ON ORIGINAL DOCUMENT**
- ☐ **REFERENCE(S) OR EXHIBIT(S) SUBMITTED ARE POOR QUALITY**
- ☐ **OTHER:** _____

IMAGES ARE BEST AVAILABLE COPY.

As rescanning these documents will not correct the image problems checked, please do not report these problems to the IFW Image Problem Mailbox.